

PTO/SB/21 (08-03)  
Approved for use through 08/30/2003. OMB 0651-0031  
U.S. Patent and Trademark Office; U.S. DEPARTMENT OF COMMERCE

Under the Paperwork Reduction Act of 1995, no persons are required to respond to a collection of information unless it displays a valid OMB control number.

## TRANSMITTAL FORM

(to be used for all correspondence after initial filing)

Total Number of Pages in This Submission

3

Application Number

10/708,424

Filing Date

03/02/2004

First Named Inventor

Chih-Hung Chen

Art Unit

Examiner Name

Attorney Docket Number

FTCP0028USA

### ENCLOSURES (Check all that apply)



Fee Transmittal Form



Fee Attached



Amendment/Reply



After Final



Affidavits/declaration(s)



Extension of Time Request



Express Abandonment Request



Information Disclosure Statement



Certified Copy of Priority Document(s)



Response to Missing Parts/  
Incomplete Application



Response to Missing Parts  
under 37 CFR 1.52 or 1.53



Drawing(s)



Licensing-related Papers



Petition



Petition to Convert to a  
Provisional Application



Power of Attorney, Revocation  
Change of Correspondence Address



Terminal Disclaimer



Request for Refund



CD, Number of CD(s) \_\_\_\_\_



After Allowance communication  
to Technology Center (TC)



Appeal Communication to Board  
of Appeals and Interferences



Appeal Communication to TC  
(Appeal Notice, Brief, Reply Brief)



Proprietary Information



Status Letter



Other Enclosure(s) (please  
Identify below):

Remarks

Response to the office action has been sent to the examiner by fax on 12/04/2003

### SIGNATURE OF APPLICANT, ATTORNEY, OR AGENT

Firm  
or  
Individual name

Winston Hsu, Reg. No.: 41,526

Signature

*Winston Hsu*

Date

3/17/2004

### CERTIFICATE OF TRANSMISSION/MAILING

I hereby certify that this correspondence is being facsimile transmitted to the USPTO or deposited with the United States Postal Service with sufficient postage as first class mail in an envelope addressed to: Commissioner for Patents, P.O. Box 1450, Alexandria, VA 22313-1450 on the date shown below.

Typed or printed name

Signature

Date

This collection of information is required by 37 CFR 1.5. The information is required to obtain or retain a benefit by the public which is to file (and by the USPTO to process) an application. Confidentiality is governed by 35 U.S.C. 122 and 37 CFR 1.14. This collection is estimated to 12 minutes to complete, including gathering, preparing, and submitting the completed application form to the USPTO. Time will vary depending upon the individual case. Any comments on the amount of time you require to complete this form and/or suggestions for reducing this burden, should be sent to the Chief Information Officer, U.S. Patent and Trademark Office, U.S. Department of Commerce, P.O. Box 1450, Alexandria, VA 22313-1450. DO NOT SEND FEES OR COMPLETED FORMS TO THIS ADDRESS. SEND TO: Commissioner for Patents, P.O. Box 1450, Alexandria, VA 22313-1450.

If you need assistance in completing the form, call 1-800-PTO-9199 and select option 2.



Under the Paperwork Reduction Act of 1995, no persons are required to respond to a collection of information unless it displays a valid OMB control number.

Approved for use through 07/31/2006. OMB 0651-0032  
U.S. Patent and Trademark Office; U.S. DEPARTMENT OF COMMERCE

PTO/SB/17 (10-03)

# FEE TRANSMITTAL for FY 2004

Effective 10/01/2003. Patent fees are subject to annual revision.

☐ Applicant claims small entity status. See 37 CFR 1.27

TOTAL AMOUNT OF PAYMENT (\$ ) 0.00

## Complete if Known

Application Number	10/708,424
Filing Date	03/02/2004
First Named Inventor	Chih-Hung Chen
Examiner Name	
Art Unit	
Attorney Docket No.	FTCP0028USA

## METHOD OF PAYMENT (check all that apply)

☐ Check ☐ Credit card ☐ Money Order ☐ Other ☐ None

☒ Deposit Account:

Deposit Account Number: 50-0801  
Deposit Account Name: North America International Patent Office

The Director is authorized to: (check all that apply)

☒ Charge fee(s) indicated below ☒ Credit any overpayments

☒ Charge any additional fee(s) or any underpayment of fee(s)

☐ Charge fee(s) indicated below, except for the filing fee to the above-identified deposit account.

## FEE CALCULATION

### 1. BASIC FILING FEE

Large Entity Fee Code (\$)	Small Entity Fee Code (\$)	Fee Description	Fee Paid
1001 770	2001 385	Utility filing fee	
1002 340	2002 170	Design filing fee	
1003 530	2003 265	Plant filing fee	
1004 770	2004 385	Reissue filing fee	
1005 160	2005 80	Provisional filing fee	
SUBTOTAL (1)			(\$ ) 0.00

### 2. EXTRA CLAIM FEES FOR UTILITY AND REISSUE

Extra Claims Fee from below Fee Paid  
Total Claims  -20\*\* =  X  =   
Independent Claims  -3\*\* =  X  =   
Multiple Dependent  =

Large Entity Fee Code (\$)	Small Entity Fee Code (\$)	Fee Description
1202 18	2202 9	Claims in excess of 20
1201 86	2201 43	Independent claims in excess of 3
1203 290	2203 145	Multiple dependent claim, if not paid
1204 86	2204 43	** Reissue independent claims over original patent
1205 18	2205 9	** Reissue claims in excess of 20 and over original patent

SUBTOTAL (2) (\$ ) 0.00

\*\*or number previously paid, if greater; For Reissues, see above

## FEE CALCULATION (continued)

### 3. ADDITIONAL FEES

Large Entity Fee Code (\$)	Small Entity Fee Code (\$)	Fee Description	Fee Paid
1051 130	2051 65	Surcharge - late filing fee or oath	
1052 50	2052 25	Surcharge - late provisional filing fee or cover sheet	
1053 130	1053 130	Non-English specification	
1812 2,520	1812 2,520	For filing a request for <i>ex parte</i> reexamination	
1804 920*	1804 920*	Requesting publication of SIR prior to Examiner action	
1805 1,840*	1805 1,840*	Requesting publication of SIR after Examiner action	
1251 110	2251 55	Extension for reply within first month	
1252 420	2252 210	Extension for reply within second month	
1253 950	2253 475	Extension for reply within third month	
1254 1,480	2254 740	Extension for reply within fourth month	
1255 2,010	2255 1,005	Extension for reply within fifth month	
1401 330	2401 165	Notice of Appeal	
1402 330	2402 165	Filing a brief in support of an appeal	
1403 290	2403 145	Request for oral hearing	
1451 1,510	1451 1,510	Petition to institute a public use proceeding	
1452 110	2452 55	Petition to revive - unavoidable	
1453 1,330	2453 665	Petition to revive - unintentional	
1501 1,330	2501 665	Utility issue fee (or reissue)	
1502 480	2502 240	Design issue fee	
1503 640	2503 320	Plant issue fee	
1460 130	1460 130	Petitions to the Commissioner	
1807 50	1807 50	Processing fee under 37 CFR 1.17(q)	
1806 180	1806 180	Submission of Information Disclosure Stmt	
8021 40	8021 40	Recording each patent assignment per property (times number of properties)	
1809 770	2809 385	Filing a submission after final rejection (37 CFR 1.129(a))	
1810 770	2810 385	For each additional invention to be examined (37 CFR 1.129(b))	
1801 770	2801 385	Request for Continued Examination (RCE)	
1802 900	1802 900	Request for expedited examination of a design application	

Other fee (specify) \_\_\_\_\_

\*Reduced by Basic Filing Fee Paid

SUBTOTAL (3) (\$ ) 0.00

## SUBMITTED BY

Name (Print/Type)	Winston Hsu	Registration No. (Attorney/Agent)	41,526	Telephone	886289237350
Signature	<i>Winston Hsu</i>	Date	3/15/2004		

**WARNING: Information on this form may become public. Credit card information should not be included on this form. Provide credit card information and authorization on PTO-2038.**

This collection of information is required by 37 CFR 1.17 and 1.27. The information is required to obtain or retain a benefit by the public which is to file (and by the USPTO to process) an application. Confidentiality is governed by 35 U.S.C. 122 and 37 CFR 1.14. This collection is estimated to take 12 minutes to complete, including gathering, preparing, and submitting the completed application form to the USPTO. Time will vary depending upon the individual case. Any comments on the amount of time you require to complete this form and/or suggestions for reducing this burden, should be sent to the Chief Information Officer, U.S. Patent and Trademark Office, U.S. Department of Commerce, P.O. Box 1450, Alexandria, VA 22313-1450. DO NOT SEND FEES OR COMPLETED FORMS TO THIS ADDRESS. SEND TO: Commissioner for Patents, P.O. Box 1450, Alexandria, VA 22313-1450.

If you need assistance in completing the form, call 1-800-PTO-9199 and select option 2.



PTO/SB/02B (11-00)

Approved for use through 10/31/2002. OMB 0651-0032

U.S. Patent and Trademark Office; U.S. DEPARTMENT OF COMMERCE

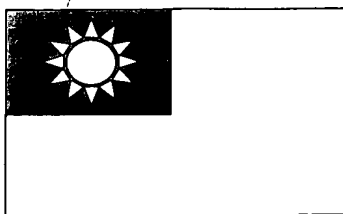
Under the Paperwork Reduction Act of 1995, no persons are required to respond to a collection of information unless it contains a valid OMB control number.

**DECLARATION — Supplemental Priority Data Sheet**

Additional foreign applications:

Prior Foreign Application Number(s)	Country	Foreign Filing Date (MM/DD/YYYY)	Priority Not Claimed	Certified Copy Attached?	
				YES	NO
092123322	Taiwan R.O.C	08/25/2003	<input type="checkbox"/>	<input checked="" type="checkbox"/>	<input type="checkbox"/>
			<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>
			<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>
			<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>
			<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>
			<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>
			<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>
			<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>
			<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>
			<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>
			<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>
			<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>
			<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>
			<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>
			<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>

Burden Hour Statement: This form is estimated to take 21 minutes to complete. Time will vary depending upon the needs of the individual case. Any comments on the amount of time you are required to complete this form should be sent to the Chief Information Officer, U.S. Patent and Trademark Office, Washington, DC 20231. DO NOT SEND FEES OR COMPLETED FORMS TO THIS ADDRESS. SEND TO: Assistant Commissioner for Patents, Washington, DC 20231.



# 中華民國經濟部智慧財產局

INTELLECTUAL PROPERTY OFFICE  
MINISTRY OF ECONOMIC AFFAIRS  
REPUBLIC OF CHINA

茲證明所附文件，係本局存檔中原申請案的副本，正確無訛，

其申請資料如下：

This is to certify that annexed is a true copy from the records of this office of the application as originally filed which is identified hereunder:

申請 日：西元 2003 年 08 月 25 日  
Application Date

申請 案 號：092123322  
Application No.

申請 人：智原科技股份有限公司  
Applicant(s)

局 長

Director General

蔡 練 生

發文日期：西元 2004 年 2 月 19 日  
Issue Date

發文字號：09320158600  
Serial No.

申請日期：	IPC分類
申請案號：	

(以上各欄由本局填註)

# 發明專利說明書

一、 發明名稱	中 文	可依據外加輸入電壓控制電壓降的電壓箝制電路
	英 文	VOLTAGE CLAMPER CAPABLE OF CONTROLLING A VOLTAGE DROP ACCORDING TO AN EXTERNAL INPUT VOLTAGE
二、 發明人 (共2人)	姓 名 (中文)	1. 陳治弘 2. 高永信
	姓 名 (英文)	1. CHEN, CHIH-HUNG 2. KAO, YUNG-SHIN
	國 籍 (中英文)	1. 中華民國 TW 2. 中華民國 TW
	住居所 (中 文)	1. 新竹市武陵路三十六號十九樓之一 2. 新竹市埔頂路一三一號五樓
	住居所 (英 文)	1. 19F-1, No. 36, Wu-Ling Rd., Hsin-Chu City, Taiwan, R.O.C. 2. 5F, No. 131, Pu-Tin Rd., Hsin-Chu City, Taiwan, R.O.C.
三、 申請人 (共1人)	名稱或 姓 名 (中文)	1. 智原科技股份有限公司
	名稱或 姓 名 (英文)	1. FARADAY TECHNOLOGY CORP.
	國 籍 (中英文)	1. 中華民國 TW
	住居所 (營業所) (中 文)	1. 新竹市新竹科學工業園區力行一路十號之二 (本地址與前向貴局申請者相同)
	住居所 (營業所) (英 文)	1. No. 10-2, Li-Hsin Road 1, Science-Based Industrial Park, Hsin-Chu City, Taiwan, R.O.C.
	代表人 (中文)	1. 曹興誠
	代表人 (英文)	1. Tsao, Hsing-Cheng



四、中文發明摘要 (發明名稱：可依據外加輸入電壓控制電壓降的電壓箝制電路)

本發明係提供一種電壓箝制電路，用來調整一輸入電壓產生一輸出電壓。該電壓箝制電路包含有一偏壓電路用來依據該輸入電壓產生至少一偏壓值，一降壓電路用來使該輸入電壓產生一電壓降，以及一電位偵測電路，電連接於該降壓電路與該偏壓電路，用來依據該偏壓值調整該降壓電路所產生之電壓降以產生該輸出電壓。

伍、(一)、本案代表圖為：第二圖

(二)、本案代表圖之元件代表符號簡單說明

10 電壓箝制電路	18a、18b 偏壓單元
20a、20b 電位偵測單元	22a、22b 降壓單元
23 預定降壓單元	
24a、24b、24c、24d、26a、26b、26c、26d、28a、	
28b、28c、28d、28e、28f、30a、30b、30c、30d、	

六、英文發明摘要 (發明名稱：VOLTAGE CLAMPER CAPABLE OF CONTROLLING A VOLTAGE DROP ACCORDING TO AN EXTERNAL INPUT VOLTAGE)

A voltage clamper capable of controlling a voltage drop according to an external input voltage. The voltage is used for adjusting the input voltage to generate an output voltage. The voltage clamper has a bias circuit for generating at least a bias voltage according to the input voltage, a voltage drop circuit for applying a voltage drop to the input voltage, and a voltage

四、中文發明摘要 (發明名稱：可依據外加輸入電壓控制電壓降的電壓箝制電路)

30e、30f、36、38、40a、40b、42 電晶體

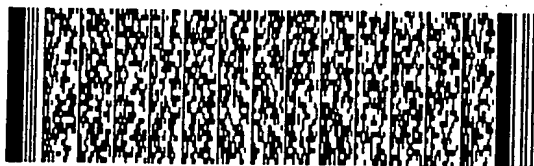
32a、32b、32c、32d、34a、34b、34c、34d、34e 反向器

44、46 調整模組

代表化學式

六、英文發明摘要 (發明名稱：VOLTAGE CLAMPER CAPABLE OF CONTROLLING A VOLTAGE DROP ACCORDING TO AN EXTERNAL INPUT VOLTAGE)

detection circuit electrically connected to the bias circuit and the voltage drop circuit for generating the output voltage through adjusting the voltage drop generated from the voltage drop circuit according to the bias voltage.



一、本案已向

國家(地區)申請專利

申請日期

案號

主張專利法第二十四條第一項優先

無

二、☐主張專利法第二十五條之一第一項優先權：

申請案號：

無

日期：

三、主張本案係符合專利法第二十條第一項☐第一款但書或☐第二款但書規定之期間

日期：

四、☐有關微生物已寄存於國外：

寄存國家：

寄存機構：

寄存日期：

寄存號碼：

無

☐有關微生物已寄存於國內(本局所指定之寄存機構)：

寄存機構：

寄存日期：

寄存號碼：

無

☐熟習該項技術者易於獲得,不須寄存。





## 五、發明說明 (1)

### 發明所屬之技術領域

本發明提供一種電壓調整電路，尤指一種可依據外加供應電壓決定相對應電壓降的電壓箝制電路。

### 先前技術

隨著半導體製程的進步，許多電路便可整合於一積體電路，因此也帶動相關電子產品的發展，舉例來說，一記憶體晶片包含有複數個記憶單元，用作為資料儲存，一晶片尺寸下的便可容納更多的記憶單元，一般而言，一積體電路的規格，其內部元件的運作必須限定於一操作電壓範圍中，舉例來說，上述記憶體晶片運作所使用之操作電壓必須介於一電壓範圍中，才可正常地運作，若供應記憶體晶片的操作電壓過高，則可能對記憶體晶片的記憶單元產生結構性破壞，因此便會造成記憶單元的儲存資料的可靠性問題；相反地，若供應記憶體晶片的操作電壓過低，則該操作電壓可能無法於一預定時間內順利地驅動記憶單元來紀錄資料，因此該記憶體的晶片便需運作於較低的操作時脈下，換句話說，過低的操作電壓會大幅地影響記憶體晶片的效能。

一般而言，同一記憶體晶片可應用於不同的裝置來作為

##### 五、發明說明 (2)

暫存資料的元件，然而，不同的裝置本身可能使用不同的外部供應電壓，例如一裝置上的電源供應模組提供 3.6 伏特的電壓準位，然而另一裝置上的電源供應模組卻是提供 1.6 伏特的電壓準位，所以習知記憶體晶片必須利用一降壓電路來將外部供應電壓轉換為適用於該記憶體晶片的內部操作電壓。舉例來說，若該降壓電路可產生 1 伏特的電壓降，且該記憶體晶片依據其規格而可正常運作的操作電壓範圍為 2.6 伏特 ~ 1.6 伏特，換句話說，具有該降壓電路的記憶體晶片僅可適用於外部供應電壓為 3.6 伏特 ~ 2.6 伏特的裝置上，若應用具有該降壓電路的記憶體晶片於一供應外加電壓為 4 伏特的裝置上，則經由該降壓電路對該外加電壓施加 1 伏特的電壓降後，該記憶體晶片用來驅動內部記憶單元的操作電壓即為 3 伏特，由於 3 伏特超過該記憶體晶片依據其規格可正常運作的操作電壓範圍（2.6 伏特 ~ 1.6 伏特），因此如前所述，該記憶體晶片於儲存資料時會造成可靠性不佳的問題；同樣地，若應用具有該降壓電路的記憶體晶片於一供應外加電壓為 2 伏特的裝置上，則經由該降壓電路對該外加電壓施加 1 伏特的電壓降後，該記憶體晶片用來驅動內部記憶單元的操作電壓即為 1 伏特，由於 1 伏特超過該記憶體晶片依據其規格而可正常運作的操作電壓範圍（2.6 伏特 ~ 1.6 伏特），因此如前所述，過低的操作電壓會大幅地影響記憶體晶片的效能。

### 五、發明說明 (3)

由於習知記憶體晶片上所使用的降壓電路係具有一固定的電壓降，因此造成記憶體晶片的應用範圍受限於該固定的電壓降，如上所述，若該降壓電路可產生1伏特的電壓降，且該記憶體晶片依據其規格而可正常運作的操作電壓範圍為2.6伏特~1.6伏特，所以該記憶體晶片僅可適用於供應外加電壓為3.6伏特~2.6伏特的裝置上。然而，若要應用該記憶體晶片於一供應外加電壓為4伏特的裝置上，則該記憶體晶片上的降壓電路必須重新設計以便提高其所造成的電壓降幅度，同樣地，若要應用該記憶體晶片於一供應外加電壓為1伏特的裝置上，則該記憶體晶片上的降壓電路亦必須重新設計以便降低其所造成的電壓降幅度，所以會造成記憶體晶片的生產成本大幅地增加，因此降低記憶體晶片的市場競爭力。

### 發明內容

因此本發明之主要目的在於提供一種可依據外部供應電壓決定相對應電壓降的電壓箝制電路，以解決上述問題。

本發明之申請專利範圍揭露一種電壓箝制電路 (voltage clamper)，用來調整一輸入電壓產生一輸出電壓。該電壓箝制電路包含有：一偏壓電路，用來依據該輸入電壓產生至少一偏壓值；一降壓電路，用來使該輸入電壓產

#### 五、發明說明 (4)

生一電壓降；以及一電位偵測電路，電連接於該降壓電路與該偏壓電路，用來依據該偏壓值調整該降壓電路所產生之電壓降，以產生該輸出電壓。

本發明之申請專利範圍另揭露一種電壓調整方法，用來調整一輸入電壓產生一輸出電壓。該電壓調整方法包含有設定複數個電壓區段，該複數個電壓區段係對應複數個不同電壓降設定值；以及當該輸入電壓位於一電壓區段時，使用一電壓降設定值驅動該輸出電壓與該輸入電壓之壓差對應該電壓降設定值。

本發明電壓箝制電路係依據外加輸入電壓的電壓準位來動態地決定降壓操作時所施加的電壓降，由於並非應用一固定的電壓降，所以不論外加的輸入電壓具有一高電壓準位或一低電壓準位，本發明電壓箝制電路之元件的相對應輸出電壓維持在應用本發明電壓箝制電路之元件的相對應操作電壓範圍中，亦即本發明電壓箝制電路不會如習知技術一般而造成電壓降不足或電壓降過大的情形。

#### 實施方式

請參閱圖一，圖一為本發明第一種電壓箝制電路 10 的功能方塊示意圖。電壓箝制電路 10 包含有一偏壓電路 12，一電位偵測電路 14，以及一降壓電路 16。偏壓電路 12 係

#### 五、發明說明 (5)

用來依據一輸入電壓  $V_{in}$  產生一偏壓值，而電位偵測電路 14 便依據該偏壓值來控制該降壓電路 16 需施加多少電壓降於輸入電壓  $V_{in}$  以產生一輸出電壓  $V_{out}$ 。本實施例於偏壓電路 12 中設置有複數個偏壓單元 18，於電位偵測電路 14 中設置有複數個電位偵測單元 20，以及於降壓電路 16 中設置有複數個降壓單元 22 以及一預定降壓單元 23，請注意，在不影響本發明技術揭露下，圖一中僅顯示三個偏壓單元 18a、18b、18n，三個電位偵測單元 20a、20b、20n，以及三個降壓單元 22a、22b、22n。對於偏壓電路 12 來說，當輸入電壓  $V_{in}$  輸入偏壓電路 12 時，偏壓單元 18a 會依據輸入電壓  $V_{in}$  產生一偏壓值  $V_1$ ，偏壓單元 18b 會依據輸入電壓  $V_{in}$  產生一偏壓值  $V_2$ ，以及偏壓單元 18n 會依據輸入電壓  $V_{in}$  產生一偏壓值  $V_n$ ，其中偏壓值  $V_1$ 、 $V_2$ 、 $V_n$  的電壓準位不同。假設偏壓值  $V_1$  大於偏壓值  $V_2$ ，以及偏壓值  $V_2$  大於偏壓值  $V_n$ ，雖然偏壓值  $V_1$ 、 $V_2$ 、 $V_n$  會隨著輸入電壓  $V_{in}$  的大小而改變，然而偏壓值  $V_1$ 、 $V_2$ 、 $V_n$  之間的大小關係不變，舉例來說，若輸入電壓  $V_{in}$  等於 5 伏特時，偏壓值  $V_1$ 、 $V_2$ 、 $V_n$  的電壓準位分別為 2 伏特、1.8 伏特、1.5 伏特，而當輸入電壓  $V_{in}$  降低為 4 伏特時，偏壓值  $V_1$ 、 $V_2$ 、 $V_n$  的電壓準位會隨之降低為 1.6 伏特、1.4 伏特、1.2 伏特，亦即偏壓值  $V_1$  仍大於偏壓值  $V_2$ ，以及偏壓值  $V_2$  仍大於偏壓值  $V_n$ 。

對於電位偵測電路 14 來說，電位偵測單元 20a 接收偏壓值

#### 五、發明說明 (6)

$V_1$ 以依據偏壓值  $V$ 產生一控制訊號  $D_1$ ，電位偵測單元 20b接收偏壓值  $V_2$ 以依據偏壓值  $V$ 產生一控制訊號  $D_2$ ，以及電位偵測單元 20n接收偏壓值  $V_n$ 以依據偏壓值  $V$ 產生一控制訊號  $D_n$ 。本實施例中，電位偵測電路 14中各電位偵測單元 20a、20b、20n係用來偵測同一預定電壓準位，亦即各電位偵測單元 20a、20b、20n係依據該預定電壓準位來篩選偏壓值  $V_1$ 、 $V_2$ 、 $V_n$ ，並進一步地決定是否輸出控制訊號  $D_1$ 、 $D_2$ 、 $D_n$ 來啟動降壓單元 22a、22b、22n。對於降壓電路 16來說，各降壓單元 22a、22b、22n係用來分別施加不同的電壓降於輸入電壓  $V_{in}$ 以調整輸出電壓  $V_{out}$ 的電壓準位，舉例來說，降壓單元 22a可使輸入電壓  $V_{in}$ 產生一電壓降  $dV_1$ ，亦即當降壓單元 22a啟動時，輸出電壓  $V_{out}$ 會趨近  $V_{in}-dV_1$ ，同樣地，降壓單元 22b可使輸入電壓  $V_{in}$ 產生一電壓降  $dV_2$ ，亦即當降壓單元 22b啟動時，輸出電壓  $V_{out}$ 會趨近  $V_{in}-dV_2$ ，以及降壓單元 22n可使輸入電壓  $V_{in}$ 產生一電壓降  $dV_n$ ，亦即當降壓單元 22n啟動時，輸出電壓  $V_{out}$ 會趨近  $V_{in}-dV_n$ ，所以本實施例便可經由降壓單元 22a、22b、22n來達到控制輸出電壓  $V_{out}$ 與輸入電壓  $V_{in}$ 之間的電壓降。此外，降壓電路 16中設定有一預定降壓單元 23用來於電壓箝制電路 10啟動時即施加一電壓降初始值於輸入電壓  $V_{in}$ 以影響輸出電壓  $V_{out}$ 。

請參閱圖二，圖二為圖一所示之電壓箝制電路 10的電路示意圖。為了便於說明，圖二所示之電壓箝制電路 10中

#### 五、發明說明 (7)

僅顯示兩偏壓單元 18a、18b，兩電位偵測單元 20a、20b，兩降壓單元 22a、22b，以及一預定降壓單元 23，請注意，由圖一可知，本發明電壓箝制電路 10並未侷限偏壓單元、電位偵測單元以及降壓單元的數量。本實施例中，經由偏壓單元 18a、18b中電晶體 24a、24b、24c、24d、26a、26b、26c、26d的不同連接方式使得於同一輸入電壓  $V_{in}$  下，流經偏壓單元 18a的電流  $I_1$ 不同於流經偏壓單元 18b的電流  $I_2$ ，最後可造成偏壓值  $V_1$ 大於偏壓值  $V_2$ ，請注意，偏壓單元 18a、18b亦可應用其他電路（例如單純以電阻元件構成的分壓電路）來達到於同一輸入電壓  $V_{in}$  下分別產生不同偏壓值  $V_1$ 、 $V_2$ 的目的，均屬本發明之範疇。偏壓單元 18a所產生的偏壓值  $V_1$ 輸入電位偵測單元 20a的輸入端 A，因此電位偵測單元 20a便依據偏壓值  $V_1$ 來決定電晶體 28a、28b是否導通，若偏壓值  $V_1$ 大於一預定電壓準位，則電晶體 28b會導通而驅使控制訊號 D1對應一高邏輯準位 "1"，相反地，若偏壓值  $V_1$ 小於該預定電壓準位，則電晶體 28a會導通以及電晶體 28b不會導通而驅使控制訊號 D1對應一低邏輯值準位 "0"；另外，偏壓單元 18b所產生的偏壓值  $V_2$ 則輸入電位偵測單元 20b的輸入端 B，同樣地，電位偵測單元 20b便依據偏壓值  $V_2$ 來決定電晶體 30a、30b是否導通，若偏壓值  $V_2$ 大於同一預定電壓準位，則電晶體 30b會導通而驅使控制訊號 D2對應一低邏輯準位 "0"，相反地，若偏壓值  $V_2$ 小於該預定電壓準位，則電晶體 30a會導通以及電晶體 30b不會導通而驅使控制訊號 D2

#### 五、發明說明 (8)

對應一高邏輯值準位 "1"。

於電位偵測單元 20a 中，反向器 (inverter) 32a、32b、32c 的操作特性類似一習知 Schmidt 觸發器 (Schmidt trigger)，而反向器 32d 則用來作為一緩衝器 (buffer)，另外，電晶體 28f 之基底、源極、汲極連接於接地端，因此電晶體 28f 係用來作為一電容以穩定控制訊號  $D_1$ ，當電晶體 28b 導通時，反向器 32b、32c 所構成的迴路會維持反向器 32d 的輸入端對應低邏輯準位 "0"，同時電晶體 28e 亦會導通，然而當電晶體 28b 不導通時，反向器 32b、32c 所構成的迴路會維持反向器 32d 的輸入端對應高邏輯準位 "1"，此外電晶體 28e 則不會導通。對於電位偵測單元 20b 而言，反向器 34a、34b、34c 的操作亦類似一習知 Schmidt 觸發器 (Schmidt trigger)，而反向器 34d、34e 則同樣地用來作為緩衝器，另外，電晶體 30f 之基底、源極、汲極係連接於接地端，因此電晶體 30f 係用來作為一電容以穩定控制訊號  $D_2$ ，當電晶體 30b 導通時，反向器 34b、34c 所構成的迴路會維持反向器 34d 的輸入端對應低邏輯準位 "0"，同時電晶體 30e 亦會導通，然而當電晶體 30b 不導通時，反向器 34b、34c 所構成的迴路會維持反向器 34d 的輸入端對應高邏輯準位 "1"，同時電晶體 30e 則不會導通。

降壓單元 22a 係由一電晶體 36 構成，而另一降壓單元 22b



#### 五、發明說明 (9)

亦由一電晶體 38 構成，本實施例中，電晶體 36 係為一 P 型金屬氧化半導體電晶體 (PMOS)，而電晶體 38 係為一 N 型金屬氧化半導體電晶體，而如業界所習知，於傳導高邏輯準位 "1" 時，P 型金屬氧化半導體電晶體係為一良好的開關元件，然而 N 型金屬氧化半導體電晶體則為一不佳的開關元件。換句話說，當電晶體 36 導通時，電晶體 36 之汲極會趨近其源極的電壓準位 (亦即輸入電壓  $V_{in}$ )，然而，當電晶體 38 導通時，電晶體 38 之汲極會小於其源極的電壓準位，亦即源極的電壓準位實際上會趨近  $V_{in}-V_t$  而非輸入電壓  $V_{in}$ ，請注意  $V_t$  係為電晶體 38 的通道所對應之臨界電壓 (threshold voltage)。此外，本實施例中，預定降壓單元 23 主要由兩電晶體 40a、40b 所構成，而電晶體 40a、40b 均為 N 型金屬氧化半導體電晶體，如圖二所示，電晶體 40a 的汲極連接於其閘極，以及電晶體 40b 的汲極亦連接於其閘極，所以電晶體 40a、40b 恆會導通而運作於飽和狀態，如前所述，於傳導高邏輯準位 "1" 時，N 型金屬氧化半導體電晶體係為一不佳的開關元件，若電晶體 40a、40b 與電晶體 38 一樣具有相同的臨界電壓  $V_t$ ，則電晶體 40b 之源極的電壓準位最後便會趨近  $V_{in}-2*V_t$ 。於圖二中，電壓箝制電路 10 係應用一電晶體 42 來作為電容以穩定輸出電壓  $V_{out}$  的電壓準位，本實施例中，電晶體 42 的閘極與汲極係電連接於輸出電壓  $V_{out}$ ，而電晶體 42 的基底與源極則連接於接地端，明顯地，於電壓箝制電路 10 運作的過程中，電晶體 42 會維持

#### 五、發明說明 (10)

導通狀態，因此電晶體 42 可視為一電阻與一電容並聯，相較於電晶體 28f、30f，電晶體 42 具有較大的時間常數 (RC time constant)，因此可較穩定地維持輸出電壓  $V_{out}$ 。

請同時參閱圖二與圖三，圖三為圖二所示之電壓箝制電路 10 的輸出電壓示意圖。於圖三中，橫軸代表輸入電壓  $V_{in}$ ，而縱軸代表輸出電壓  $V_{out}$ 。已知於同一輸入電壓  $V_{in}$  下，偏壓單元 18a 所輸出的偏壓值  $V_1$  會高於偏壓單元 18b 所輸出的偏壓值  $V_2$ ，且電位偵測單元 20a、20b 係偵測一預定電壓準位來決定降壓單元 22a、22b 是否需啟動，若輸入電壓  $V_{in}$  等於電壓準位 ( $V_s$ ) 時，偏壓值  $V_2$  會等於該預定電壓準位，而由於偏壓值  $V_1$  係高於偏壓值  $V_2$ ，亦即此時偏壓值  $V_1$  仍會大於該預定電壓準位，換句話說，當偏壓值  $V_1$  開始小於該預定電壓準位時，電位偵測單元 20b 之電晶體 30b 則不會導通而使控制訊號 D 對應高邏輯準位 "1"，因此會啟動相對應的降壓單元 22b。若輸入電壓  $V_{in}$  等於電壓準位 ( $V_s$ ) 時，偏壓值  $V_2$  會等於該預定電壓準位，而由於偏壓值  $V_1$  係高於偏壓值  $V_2$ ，亦即此時偏壓值  $V_1$  仍會大於該預定電壓準位，換句話說，當偏壓值  $V_1$  開始小於該預定電壓準位時，電位偵測單元 20b 之電晶體 30b 則不會導通而使控制訊號 D 對應高邏輯準位 "1"，因此相對應的降壓單元 22b 會隨即啟動。若輸入電壓  $V_{in}$  等於電壓準位 ( $V_s$ ) 時，偏壓值  $V_1$  會等於該預定電壓準位，而由於偏

#### 五、發明說明 (11)

壓值  $V$  係低於偏壓值  $V_1$ ，亦即此時偏壓值  $V$  仍會小於該該預定電壓準位，換句話說，當偏壓值  $V$  開始小於該預定電壓準位時，電位偵測單元 20a 之電晶體 28b 則不會導通而使控制訊號  $D$  對應低邏輯準位 "0"，因此會啟動相對應的降壓單元 22a。請注意，由於偏壓值  $V$  此時仍會小於該預定電壓準位，所以電位偵測單元 20b 之電晶體 30b 仍維持非導通狀態而使控制訊號  $D$  繼續對應高邏輯準位 "1"，因此相對應的降壓單元 22b 會保持啟動狀態。

如圖三所示，斜線  $L1$  代表輸出電壓  $V_{out}$  與輸入電壓  $V_{in}$  相等，而當輸入電壓  $V_{in}$  大於電壓準位 ( $V_s$ ) 時，由於對應輸入電壓  $V_{in}$  的偏壓值  $V_1$ 、 $V$  此時均大於上述預定電壓準位，因此僅有預定降壓單元 23 會影響輸出電壓  $V_{out}$ ，亦即當輸入電壓  $V_{in}$  大於電壓準位 ( $V_s$ ) 時，輸出電壓  $V_{out}$  與輸入電壓  $V_{in}$  之間對應電晶體 40a、40b 所施加的電壓差 (亦即  $2*V_t$ )，輸出電壓  $V_{out}$  與輸入電壓  $V_{in}$  之間的關係如區段  $S1$  所示。當輸入電壓  $V_{in}$  小於電壓準位 ( $V_s$ )<sub>2</sub>，並大於電壓準位 ( $V_s$ ) 時，如上所述，對應輸入電壓  $V_{in}$  的偏壓值  $V$  會小於該預定電壓準位，而對應輸入電壓  $V_{in}$  的偏壓值  $V$  仍繼續大於該預定電壓準位，所以此時降壓單元 22b 與預定降壓單元 23 均會啟動，請注意，預定降壓單元 23 會施加  $2*V_t$  的電壓差於輸入電壓  $V_{in}$ ，然而降壓單元 22b 僅會施加  $V_t$  的電壓差於輸入電壓  $V_{in}$ ，由於電晶體 42 係作為電容使用，因此降壓單元 22b 會對電晶體 42 進行充電而

#### 五、發明說明 (12)

驅使輸出電壓  $V_{out}$  與輸入電壓  $V_{in}$  之間對應電晶體 38 所施加的電壓差 (亦即  $V_t$ )，輸出電壓  $V_{out}$  與輸入電壓  $V_{in}$  之間的關係如區段 S2 所示。當輸入電壓  $V_{in}$  小於電壓準位 ( $V_s$ ) 時，如上所述，對應輸入電壓  $V_{in}$  的偏壓值  $V_1$ 、 $V_2$  均會小於該預定電壓準位，所以此時降壓單元 22a、22b 與預定降壓單元 23 均會啟動，請注意，預定降壓單元 23 會施加  $2 \times V_t$  的電壓差於輸入電壓  $V_{in}$ ，以及降壓單元 22b 會施加  $V_t$  的電壓差於輸入電壓  $V_{in}$ ，然而降壓單元 22a 並不會施加任何電壓差於輸入電壓  $V_{in}$ ，亦即對於降壓單元 22a 來說，其係傳遞輸入電壓  $V_{in}$  來驅動輸出電壓  $V_{out}$ ，同樣地，由於電晶體 42 係作為電容使用，因此降壓單元 22a 會對電晶體 42 進行充電而驅使輸出電壓  $V_{out}$  趨近輸入電壓  $V_{in}$ ，輸出電壓  $V_{out}$  與輸入電壓  $V_{in}$  之間的關係如區段 S3 所示。

請注意，圖二所示之電壓箝制電路 10 中，電位偵測單元 20a 之電晶體 28c、28d 的閘極係由一控制訊號 CEB 所驅動，同樣地，電位偵測單元 20b 之電晶體 30c、30d 的閘極係由同一控制訊號 CEB 所驅動，本發明電壓箝制電路 10 支援晶片致能 (chip enable) 控制來達到更低消耗電流的目的，電壓箝制電路 10 可經由外部輸入的控制訊號 CEB 來切換執行一休眠模式 (standby mode) 或一正常運作模式 (normal mode)。舉例來說，當控制訊號 CEB 對應高電壓準位時會驅使電壓箝制電路 10 進入休眠模式，此時，電

#### 五、發明說明 (13)

晶體 28c、30c 無法導通，而控制訊號 CEB 會導通電晶體 28d、30d，換句話說，當電壓箝制電路 10 進入休眠模式後，僅有預定降壓單元 23 會啟動，而降壓單元 22a、22b 並無法導通來調整輸出電壓  $V_{out}$ ，所以輸出電壓  $V_{out}$  與輸入電壓  $V_{in}$  之間具有較大電壓差（亦即  $2 \cdot V_t$ ），對於應用電壓箝制電路 10 的裝置而言，當該裝置因為進入休眠模式而輸出控制訊號 CEB 至電壓箝制電路 10 時，由於電壓箝制電路 10 於休眠模式下的輸出電壓  $V_{out}$  較低，所以該裝置於休眠模式下所消耗的電流亦較小而可降低其功率消耗。相反地，當該裝置要離開休眠模式而進行正常運作模式時，控制訊號 CEB 會對應低電壓準位而驅使電壓箝制電路 10 亦進入正常運作模式，如圖二所示，電晶體 28c、30c 此時可導通以傳遞輸入電壓  $V_{in}$  至電晶體 28a、30a，此外，電晶體 28d、30d 會保持非導通狀態，此時，降壓單元 22a、22b 的啟動便會受偏壓值  $V_1$ 、 $V$  的控制，亦即電壓箝制電路 10 的輸出電壓  $V_{out}$  與輸入電壓  $V_{in}$  的關係便如圖三所示。

若本發明電壓箝制電路 10 係應用於一記憶體晶片，且該記憶體晶片可正常運作的操作電壓範圍係介於電壓準位  $V_{top}$  與電壓準位  $V_{bot}$  之間，因此經由圖三所示之輸出電壓  $V_{out}$  與輸入電壓  $V_{in}$  的關係可知，當輸入電壓  $V_{in}$  的電壓範圍介於電壓準位  $V_{bot}$  與電壓準位  $V_H$  ( $V_H > V_{top}$ ) 之間時，該記憶體晶片皆可順利地運作，因此對於本發明電

#### 五、發明說明 (14)

壓箝制電路 10 來說，當輸入電壓  $V_{in}$  越大時，電壓箝制電路 10 會驅使輸入電壓  $V_{in}$  與輸出電壓  $V_{out}$  之間的電壓降越大，相反地，當輸入電壓  $V_{in}$  越小時，電壓箝制電路 10 會驅使輸入電壓  $V_{in}$  與輸出電壓  $V_{out}$  之間的電壓降越小，舉例來說，若該記憶體晶片需於操作電壓範圍 2.6 伏特 ~ 1.6 伏特之間才可正常地運作，所以當一裝置上的電源供應模組提供  $(2.6 + 2 * V_t)$  伏特的高驅動電壓時，則經由電壓箝制電路 10 的輔助可將輸入電壓  $(2.6 + 2 * V_t)$  伏特轉換為輸出電壓 2.6 伏特，並將輸出電壓 2.6 伏特傳輸至該記憶體晶片來驅動該記憶體晶片，因此該記憶體晶片於高外加電壓下仍可正常地運作。然而，當一裝置上的電源供應模組提供 1.6 伏特的低驅動電壓時，則電壓箝制電路 10 並不會調整輸出電壓，亦即輸出電壓會等於輸入電壓而對應 1.6 伏特，並將輸出電壓 1.6 伏特傳輸至該記憶體晶片來驅動該記憶體晶片，因此該記憶體晶片於低外加電壓下亦可正常地運作。

若一裝置上的電源供應模組所提供的驅動電壓係介於電壓準位  $V$  與電壓準位  $(V_s)$  之間，則應用電壓箝制電路 10 的記憶體晶片可正常地於該裝置上運作，同樣地，若該電源供應模組所提供的驅動電壓係介於電壓準位  $(V_s)$  與電壓準位  $(V_s)$  之間，或該電源供應模組所提供的驅動電壓係介於電壓準位  $V_{bo}$  與電壓準位  $(V_s)$  之間，則應用電壓箝制電路 10 的記憶體晶片亦可正常地於該裝置上運作。然

#### 五、發明說明 (15)

而，若該電源供應模組所提供的驅動電壓趨近電壓準位 ( $V_s$ ) 或電壓準位 ( $V_s$ )<sub>2</sub>，已知電位偵測單元 20a、20b 原本所設定的預定電壓準位會使電壓箝制電路 10 於輸入電壓  $V_{in}$  分別為電壓準位 ( $V_s$ ) 與電壓準位 ( $V_s$ ) 時驅動輸出電壓  $V_{out}$  產生電壓準位變動，換句話說，若該電源供應模組所提供的驅動電壓於電壓準位 ( $V_s$ ) 或電壓準位 ( $V_s$ ) 附近產生擺動 (vibration)，則輸出電壓  $V_{out}$  便會於兩電壓準位之間跳動，因此可能造成該記憶體晶片產生無法預期的錯誤，所以，本實施例中，電位偵測單元 20a 另包含有一調整模組 44，而電位偵測單元 20b 亦另包含有一調整模組 46，調整模組 44、46 的功用係用來調整電位偵測單元 20a、20b 所偵測的預定電壓準位。請參閱圖四，圖四為圖三所示之調整模組 44 的電路示意圖，請注意，調整模組 44 與調整模組 46 具有相同的電路架構與操作，因此僅以調整模組 44 來說明。調整模組 44 中設置有複數個電晶體 48，其中各電晶體 48 之汲極均電連接於電位偵測單元 20a 中的端點 A'，而各電晶體 48 之閘極可選擇性地連接於其源極或者是電位偵測單元 20a 中的輸入端 A，當一電晶體 48 之閘極連接於電位偵測單元 20a 中的輸入端 A 時，該電晶體 48 即視為與電晶體 28b 並聯，因此該電晶體 48 可用來調整電位偵測單元 20a 所偵測之輸入端 A 的預定電壓準位；相反地，若一電晶體 48 之閘極連接於其源極時，則該電晶體 48 並無法導通而不影響電位偵測單元 20a 的操作。本實施例係利用一上層金屬層來規劃各電晶體 48 之

##### 五、發明說明 (16)

閘極係連接於端點 A' 或其源極，亦即利用該金屬層來程式化 (program) 調整模組 44。舉例來說，於形成電壓箝制電路 10 之半導體製程中，經由一光罩圖樣設計以規劃上層金屬層，並使調整模組 44 的初始設定係為一半數量的電晶體 48 連接其閘極與輸入端 A，而另一半數量的電晶體 48 連接其閘極與其源極，且此時電壓箝制電路 10 之輸入電壓  $V_{in}$  與輸出電壓  $V_{out}$  的特性如圖三所示，然而，若已知一裝置上的電源供應模組所提供的驅動電壓趨近電壓準位  $(V_s)_1$ ，因此於形成電壓箝制電路 10 之半導體製程中，經由另一光罩圖樣設計以調整閘極與其源極相連接之電晶體 48 數量以及閘極與輸入端 A 連接的電晶體 48 數量，因此可達到偏移電壓準位  $(V_s)$  的目的，亦可經由調整模組 44 的輔助降低電壓準位  $(V_s)$  或提升電壓準位  $(V_s)_1$ ，所以可避免輸入電壓  $V_{in}$  因為趨近原先電壓準位  $(V_s)$  而可能造成輸出電壓  $V_{out}$  產生大幅度的變動。同樣地，調整模組 46 的運作與調整模組 44 相同，所以本實施例亦可經由調整模組 46 的輔助降低電壓準位  $(V_s)$  或提升電壓準位  $(V_s)_2$ ，亦可避免輸入電壓  $V_{in}$  因為趨近原先電壓準位  $(V_s)$  而可能造成輸出電壓  $V_{out}$  產生大幅度的變動，綜合上述，利用調整模組 44、46 可使應用電壓箝制電路 10 之元件能更穩定地運作。

如上所述，電壓箝制電路 10 的操作主要係設定電位偵測單元 20a、20b、20n 偵測同一預定電壓準位，而各偏壓單



##### 五、發明說明 (17)

元 18a、18b、18n 便依據輸入電壓  $V_{in}$  來產生不同的偏壓值  $V_1$ 、 $V_2$ 、 $V_n$ ，因此便可依據偏壓值  $V_1$ 、 $V_2$ 、 $V_n$  與該預定電壓準位來決定目前輸入電壓  $V_{in}$  的大小，並進一步控制降壓單元 22a、22b、22n 的啟動來調整輸出電壓  $V_{out}$  與輸入電壓  $V_{in}$  之間的電壓降，然而，若設定電位偵測單元 20a、20b、20n 偵測不同的預定電壓準位，以及設定各偏壓單元 18a、18b、18n 依據輸入電壓  $V_{in}$  來產生同一偏壓值，亦可達到本發明依據外加輸入電壓的電壓準位來動態地決定降壓操作時所施加之電壓降的目的。舉例來說，設定各偏壓單元 18a、18b 依據輸入電壓  $V_{in}$  來產生同一偏壓值  $V_b$ ，亦即經由偏壓單元 18a、18b 先將較高的輸入電壓  $V_{in}$  轉換為較低的偏壓值  $V_b$ ，此外並設定電位偵測單元 20a、20b 偵測不同的預定電壓準位  $V_{d1}$ 、 $V_{d2}$ ，其中預定電壓準位  $V_{d1}$  小於預定電壓準位  $V_{d2}$ 。明顯地，若輸入電壓  $V_{in}$  越大，則偏壓值  $V_b$  亦越大，相反地，若輸入電壓  $V_{in}$  越小，則偏壓值  $V_b$  亦越小，因此偏壓值  $V_b$  便可用來代表輸入電壓  $V_{in}$  的大小。當偏壓值  $V_b$  高於預定電壓準位  $V_{d2}$  時，則僅有預定降壓單元 23 會啟動；當偏壓值  $V_b$  介預定電壓準位  $V_{d1}$  與預定電壓準位  $V_{d2}$  時，則預定降壓單元 23 與降壓單元 22b 皆會啟動；當偏壓值  $V_b$  小於預定電壓準位  $V_{d1}$  時，則預定降壓單元 23 與降壓單元 22a、22b 皆會啟動，因此上述輸入電壓  $V_{in}$  與輸出電壓  $V_{out}$  之間的關係亦如圖三所示。因此，偏壓電路 12 與電位偵測電路 14 依據上述設定同樣地可依據輸入電壓  $V_{in}$  的電壓準位高低來驅動降

#### 五、發明說明 (18)

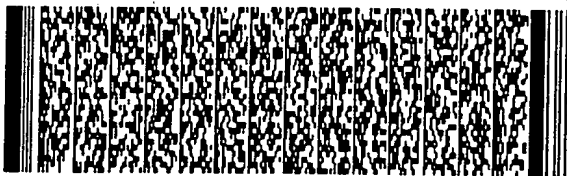
壓電路 16，並驅使輸出電壓  $V_{out}$  與輸入電壓  $V_{in}$  之間依據輸入電壓  $V_{in}$  的電壓準位高低而對應不同的電壓降。

相較於習知技術，本發明電壓箝制電路利用的偏壓電路與電位偵測電路來判斷目前外加之輸入電壓的電壓準位，並依據該電壓準位來進一步地決定輸出電壓與該輸入電壓之間的需對應的電壓差，所以本發明電壓箝制電路設定降高以於輸入電壓有來調整輸出的電壓，其中本發明電壓箝制電路於輸入電壓低於輸出電壓時，產生較低的電壓準位，以產生較低的電壓，而當輸入電壓高於輸出電壓時，則產生較高的電壓準位，以產生較高的電壓。本發明電壓箝制電路係為一可避免電壓驅動元件（例如一記憶體晶片）時，由於超過運作本發明電壓箝制電路則不會進行降壓的操作，因此可避免驅動正上常運作的操作電壓而大幅地影響該元件的效能。綜上所述，本發明電壓箝制電路係依據外加輸入電壓的電壓準

##### 五、發明說明 (19)

位來動態地決定降壓操作時所施加的電壓降，由於並非應用一固定的電壓降，所以不論外加的輸入電壓具有一可應高電壓準位或一低電壓準位，本發明電壓箝制電路之元件的操作電壓範圍中，亦即本發明電壓箝制電路不會如習知技術一般而造成電壓降不足或電壓降過大的情形。

以上所述僅為本發明之較佳實施例，凡依本發明申請專利範圍所做之均等變化與修飾，皆應屬本發明專利之涵蓋範圍。



## 圖式簡單說明

### 圖式之簡單說明

圖一為本發明第一種電壓箝制電路的功能方塊示意圖。

圖二為圖一所示之電壓箝制電路的電路示意圖。

圖三為圖二所示之電壓箝制電路的輸出電壓示意圖。

圖四為圖三所示之調整模組的電路示意圖。

### 圖式之符號說明

10 電壓箝制電路

12 偏壓電路

14 電位偵測電路

16 降壓電路

18a、18b、18n 偏壓單元

20a、20b、20n 電位偵測單元

22a、22b、22n 降壓單元

23 預定降壓單元

24a、24b、24c、24d、26a、26b、26c、26d、28a、

28b、28c、28d、28e、28f、30a、30b、30c、30d、

30e、30f、36、38、40a、40b、42、48 電晶體

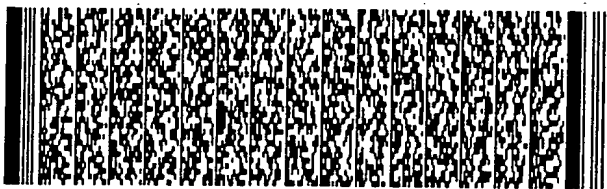
32a、32b、32c、32d、34a、34b、34c、34d、34e 反向器

44、46 調整模組



#### 六、申請專利範圍

1. 一種電壓箝制電路 (voltage clamper)，用來調整一輸入電壓產生一輸出電壓，該電壓箝制電路包含有：  
一偏壓電路，用來依據該輸入電壓產生至少一偏壓值；  
一降壓電路，用來使該輸入電壓產生一電壓降；以及  
一電位偵測電路，電連接於該降壓電路與該偏壓電路，用來依據該偏壓值調整該降壓電路所產生之電壓降，以產生該輸出電壓。
2. 如申請專利範圍第1項所述之電壓箝制電路，其中該降壓電路包含有：  
一預定降壓單元，電連接於該電壓箝制電路之輸出端與該輸入電壓，用來施加一預定電壓降予該輸入電壓以調整該輸出電壓；以及  
一第一降壓單元，電連接於該電壓箝制電路之輸出端與該輸入電壓，用來施加一第一電壓降予該輸入電壓以調整該輸出電壓；  
其中該預定降壓單元恆啟動，以及該第一降壓單元之啟動係由該電位偵測電路控制。
3. 如申請專利範圍第2項所述之電壓箝制電路，其中該電位偵測電路包含有：  
第一電位偵測單元，電連接於該第一降壓單元，用來控制該第一降壓單元調整該輸出電壓。



六、申請專利範圍

4. 如申請專利範圍第3項所述之電壓箝制電路，其中該偏壓電路包含有：
- 一第一偏壓單元，電連接於該第一電位偵測單元，用來依據該輸入電壓產生一第一偏壓值至該第一電位偵測單元；
- 其中該第一電位偵測單元係依據該第一偏壓值與一第一預定準位來控制該第一降壓單元調整該輸出電壓。
5. 如申請專利範圍第4項所述之電壓箝制電路，其中若該第一偏壓值小於該第一預定準位，則該第一電位偵測單元會驅動該第一降壓單元調整該輸出電壓。
6. 如申請專利範圍第4項所述之電壓箝制電路，其中該降壓電路另包含有：
- 一第二降壓單元，電連接於該電壓箝制電路之輸出端與該輸入電壓，用來驅動該輸出電壓趨近該輸入電壓；
- 其中該第二降壓單元之啟動係由該電位偵測電路控制。
7. 如申請專利範圍第6項所述之電壓箝制電路，其中該電位偵測電路另包含有：
- 一第二電位偵測單元，電連接於該第二降壓單元，用來控制該第二降壓單元調整該輸出電壓。
8. 如申請專利範圍第7項所述之電壓箝制電路，其中該

#### 六、申請專利範圍

偏壓電路包含有：

一第二偏壓單元，電連接於該第二電位偵測單元，用來依據該輸入電壓產生一第二偏壓值至該第二電位偵測單元；

其中該第二電位偵測單元係依據該第二偏壓值與一第二預定準位來控制該第二降壓單元調整該輸出電壓。

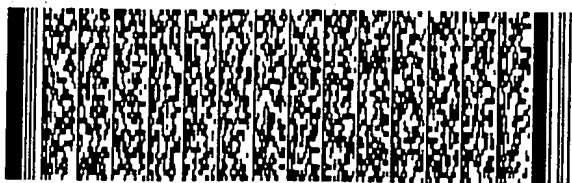
9. 如申請專利範圍第8項所述之電壓箝制電路，其中若該第二偏壓值小於該第二預定準位，則該第二電位偵測單元會驅動該第二降壓單元調整該輸出電壓。

10. 如申請專利範圍第8項所述之電壓箝制電路，其中該第一電位偵測單元包含有一第一調整模組，用來設定該第一預定準位，以及該第二電位偵測單元包含有一第二調整模組，用來設定該第二預定準位。

11. 如申請專利範圍第8項所述之電壓箝制電路，其中該第一偏壓值等於該第二偏壓值。

12. 如申請專利範圍第8項所述之電壓箝制電路，其中該第一預定準位等於該第二預定準位。

13. 如申請專利範圍第2項所述之電壓箝制電路，其中該第一電壓降係小於該預定電壓降。



## 六、申請專利範圍

14. 如申請專利範圍第2項所述之電壓箝制電路，其另包含有一電容裝置，電連接於該電壓箝制電路之輸出端。

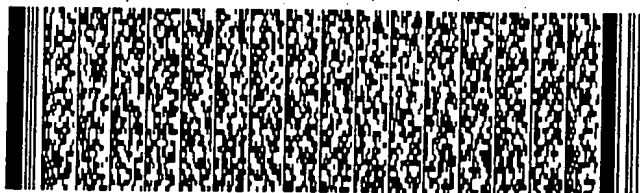
15. 如申請專利範圍第14項所述之電壓箝制電路，其中該電容裝置係由一N型金屬氧化半導體電晶體構成，該N型金屬氧化半導體電晶體之閘極與汲極係電連接於該電壓箝制電路之輸出端，且該N型金屬氧化半導體電晶體之源極係電連接於一接地電壓。

16. 一種電壓調整方法，用來調整一輸入電壓產生一輸出電壓，該電壓調整方法包含有：

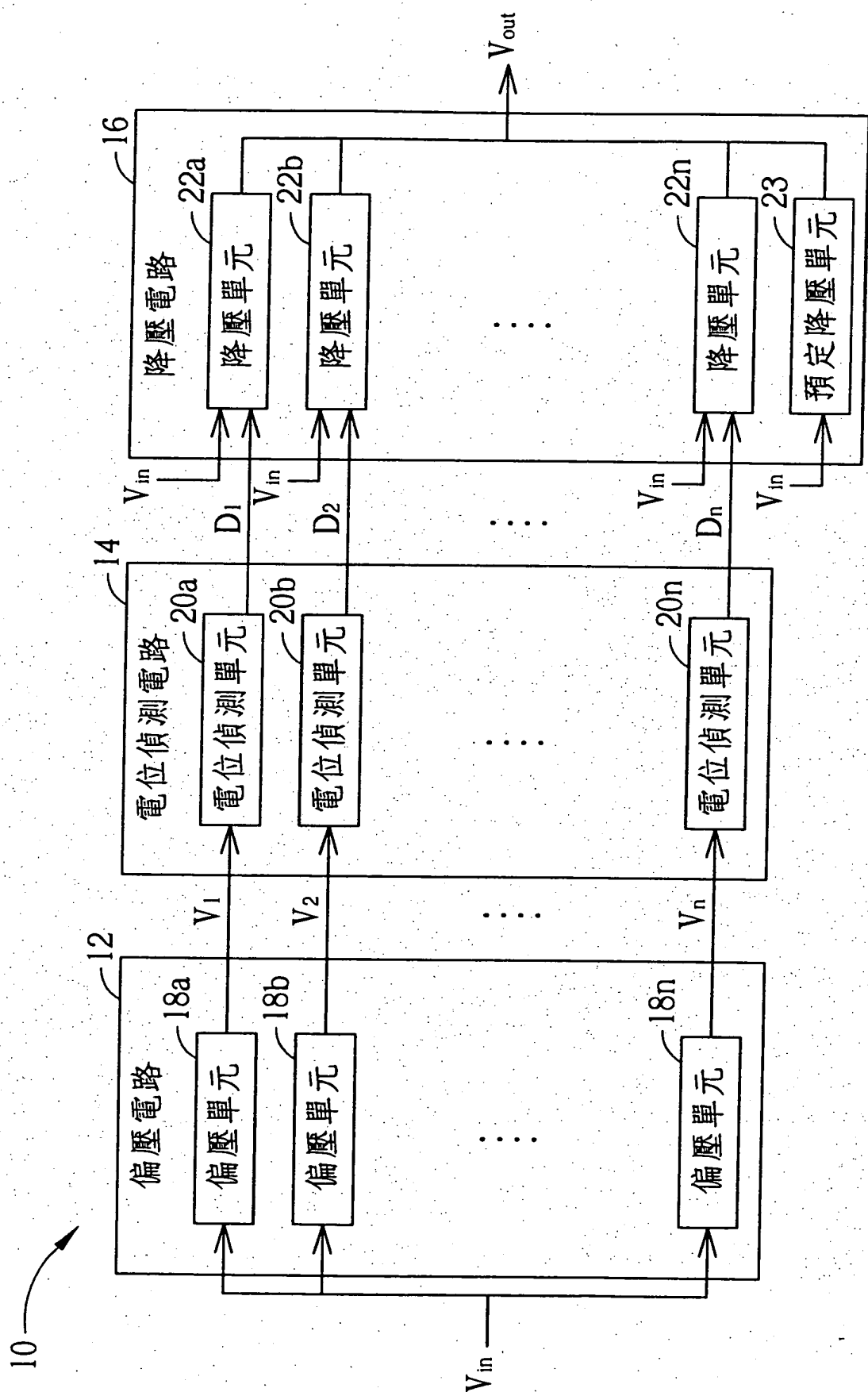
(a)設定複數個電壓區段，該複數個電壓區段係對應複數個不同電壓降設定值；以及

(b)當該輸入電壓位於一電壓區段時，使用一電壓降設定值驅動該輸出電壓與該輸入電壓之壓差對應該電壓降設定值。

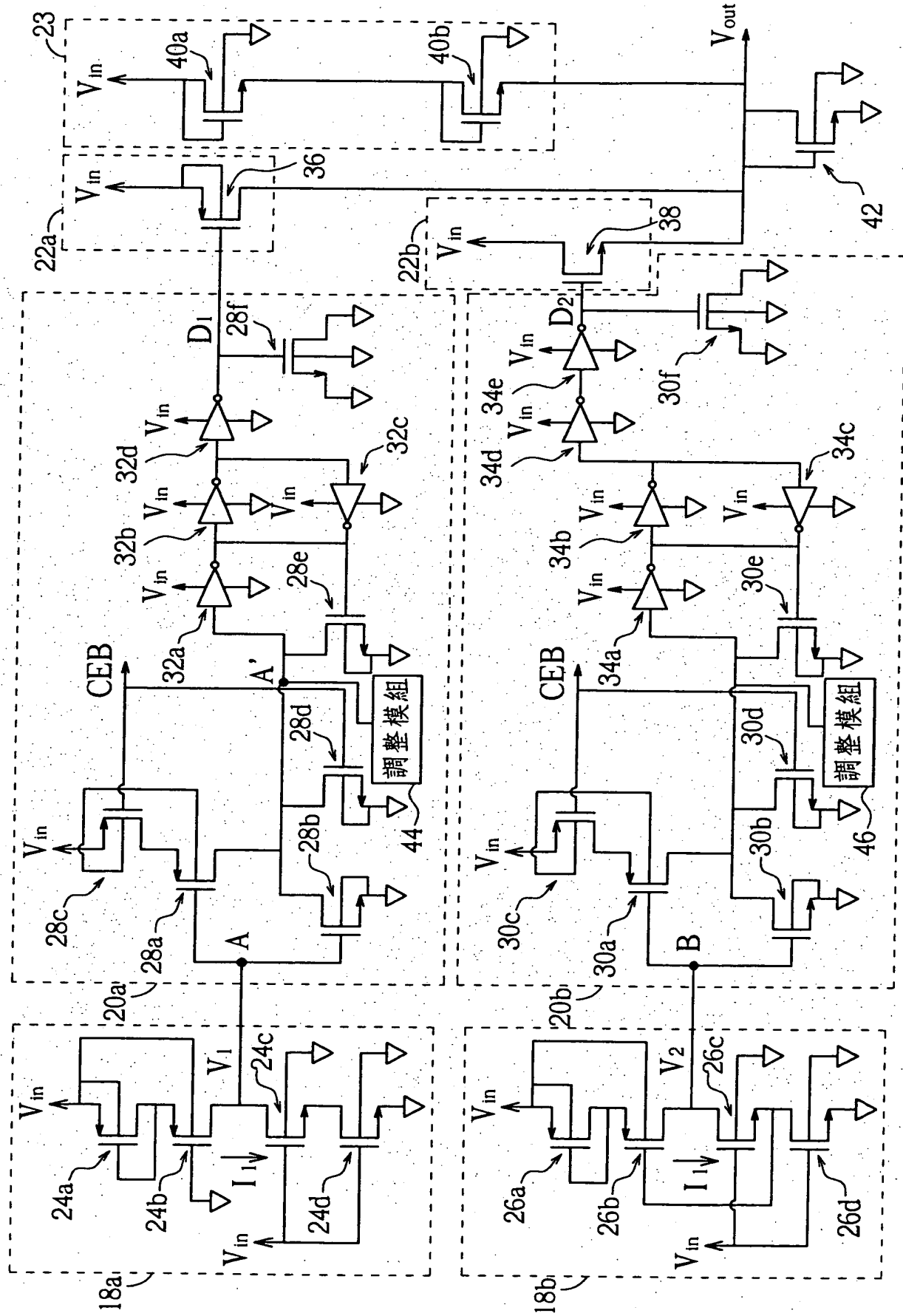
17. 如申請專利範圍第16項所述之方法，其中於步驟(a)中，當一第一電壓區段之最小電壓大於一第二電壓區段之最大電壓時，設定該第一電壓區段之電壓降設定值大於該第二電壓區段之電壓降設定值。



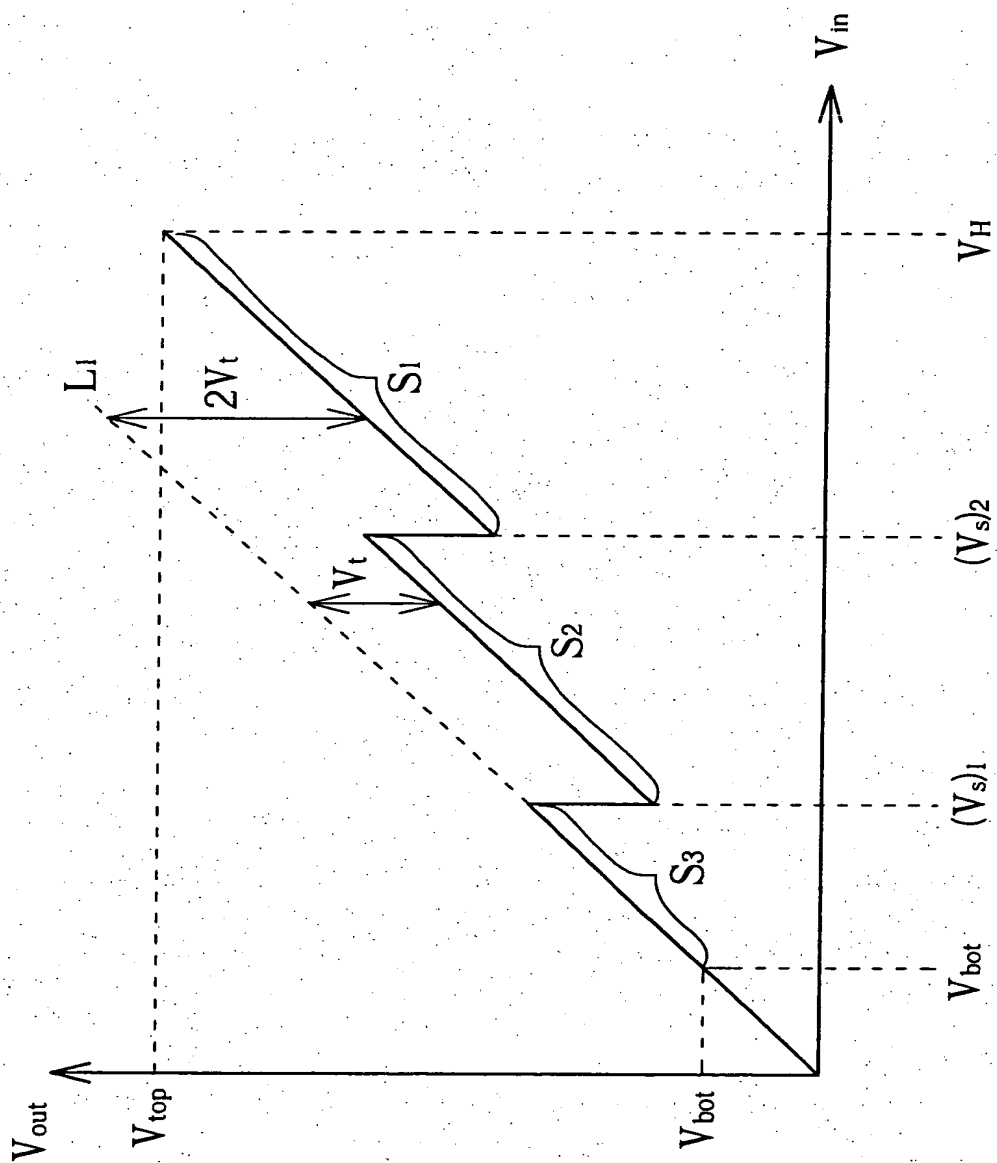




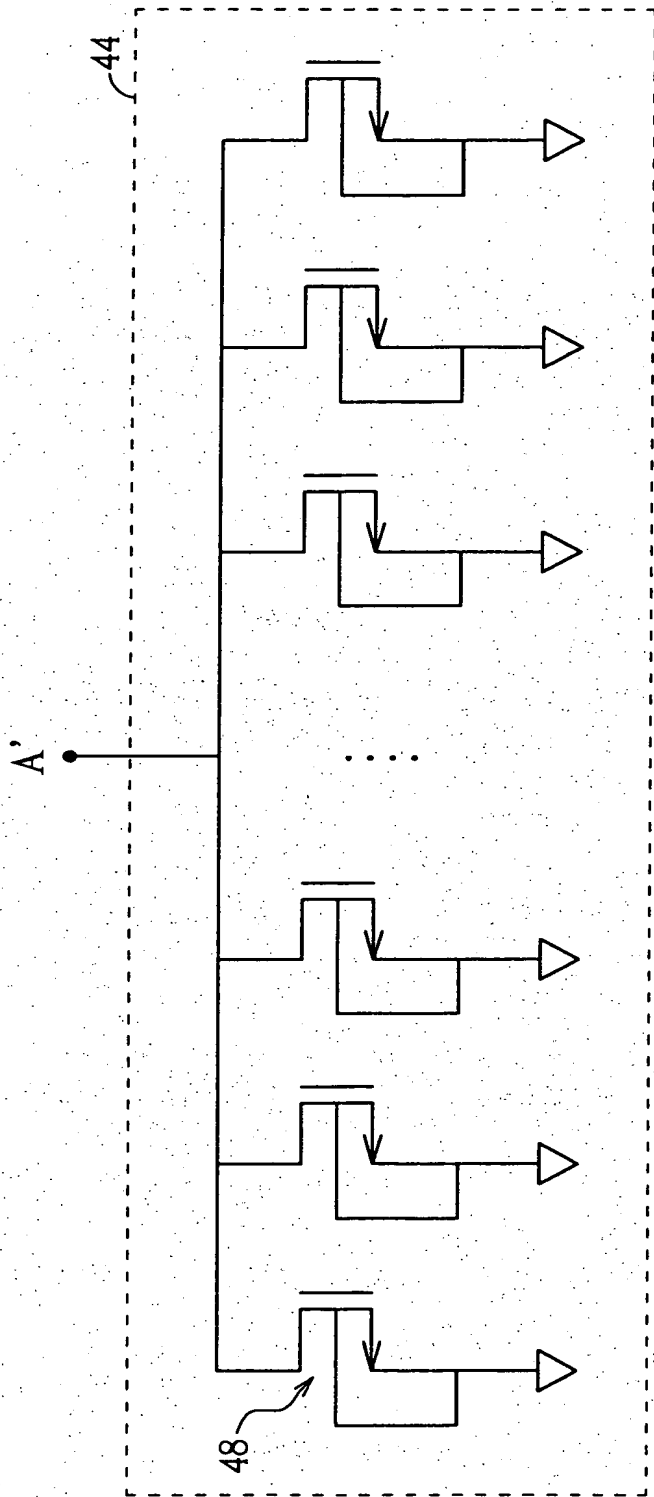
圖一



圖二

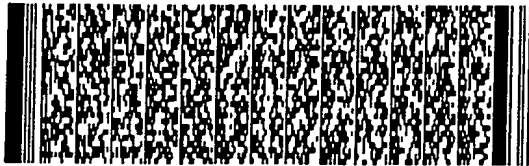


圖三

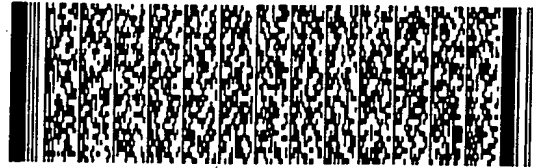


圖四

第 1/28 頁



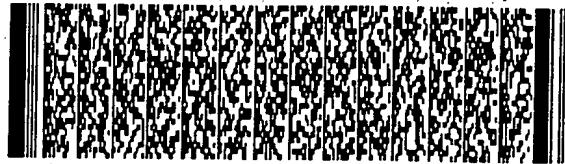
第 1/28 頁



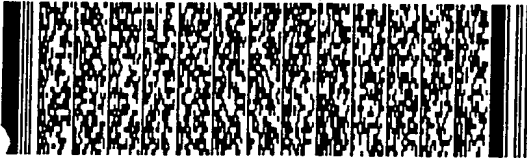
第 2/28 頁



第 2/28 頁



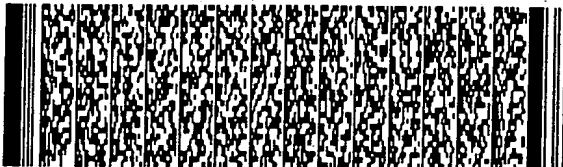
第 3/28 頁



第 4/28 頁



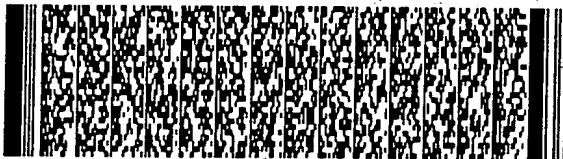
第 5/28 頁



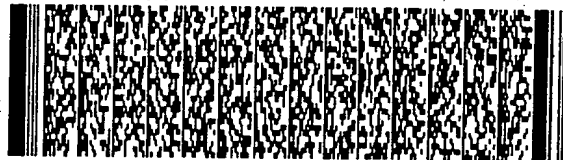
第 5/28 頁



第 6/28 頁



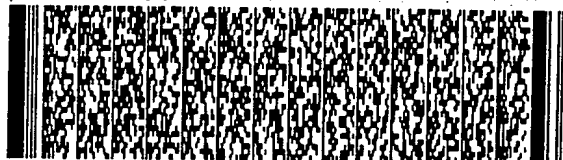
第 6/28 頁



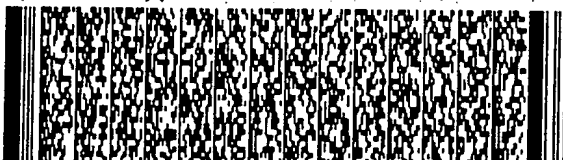
第 7/28 頁



第 7/28 頁



第 8/28 頁



第 8/28 頁



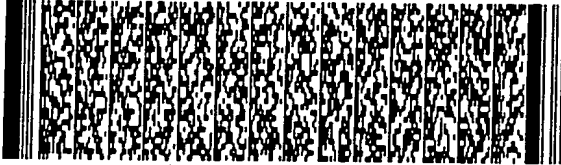
第 9/28 頁



第 9/28 頁



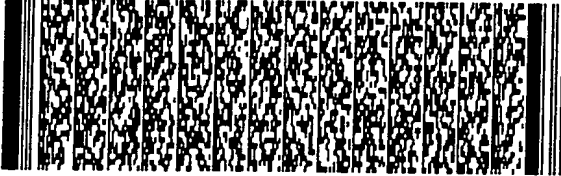
第 10/28 頁



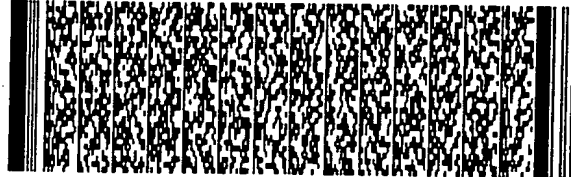
第 10/28 頁



第 11/28 頁



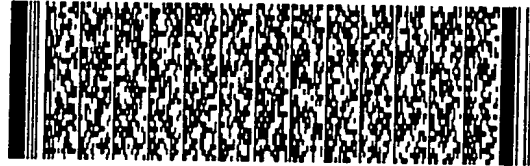
第 11/28 頁



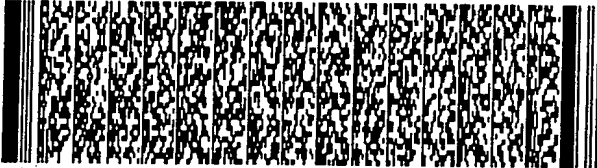
第 12/28 頁



第 12/28 頁



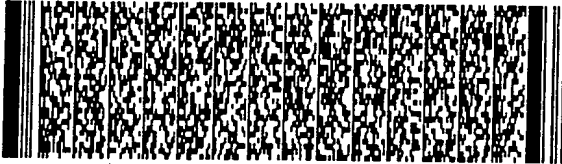
第 13/28 頁



第 13/28 頁



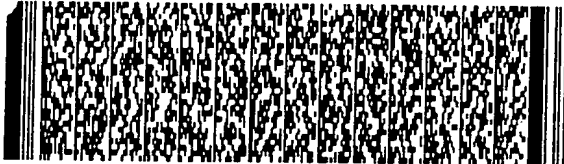
第 14/28 頁



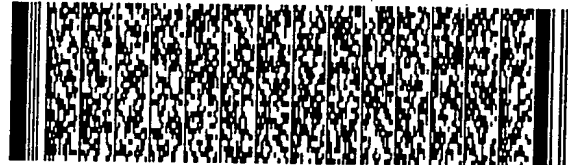
第 14/28 頁



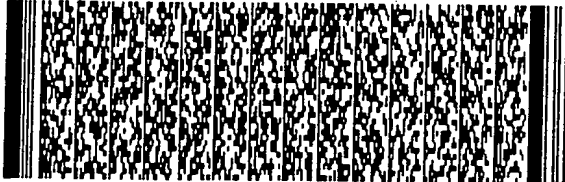
第 15/28 頁



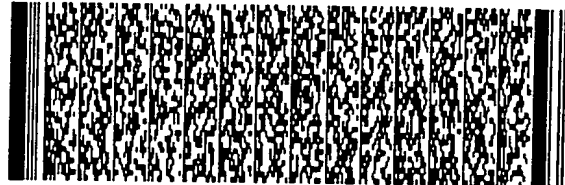
第 15/28 頁



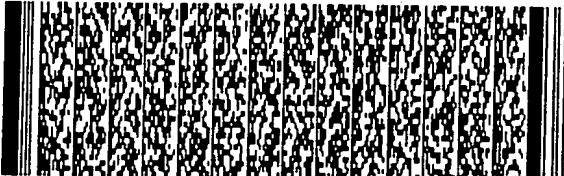
第 16/28 頁



第 16/28 頁



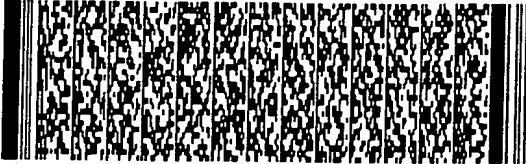
第 17/28 頁



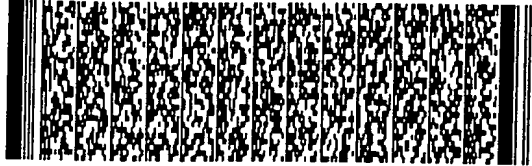
第 17/28 頁



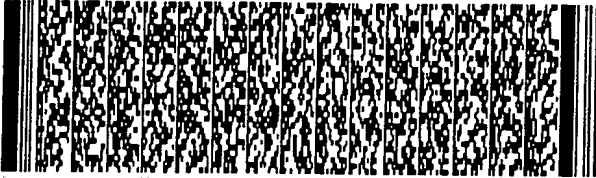
第 18/28 頁



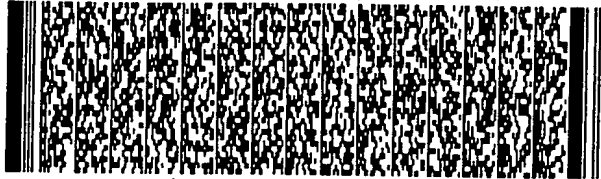
第 18/28 頁



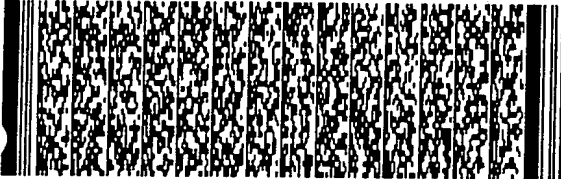
第 19/28 頁



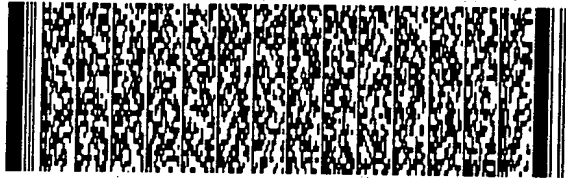
第 19/28 頁



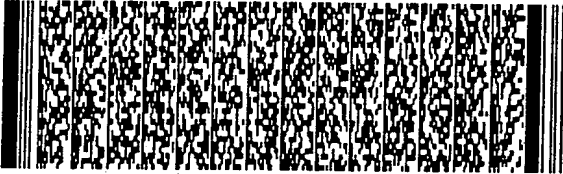
第 20/28 頁



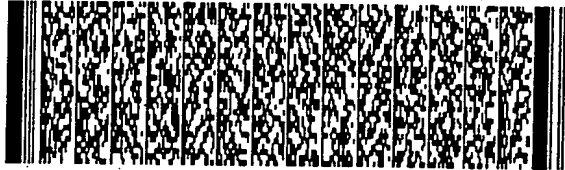
第 20/28 頁



第 21/28 頁



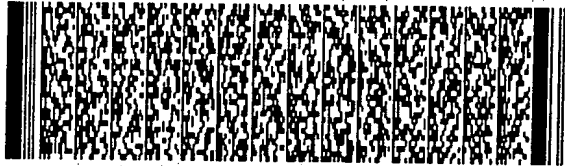
第 21/28 頁



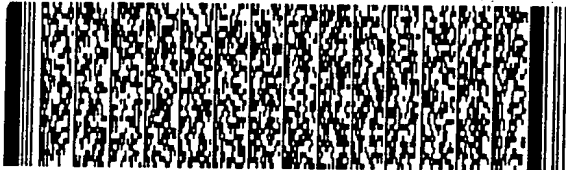
第 22/28 頁



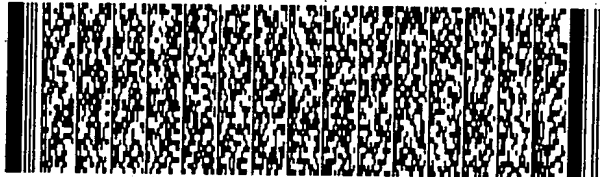
第 22/28 頁



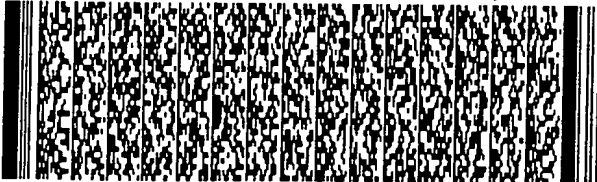
第 23/28 頁



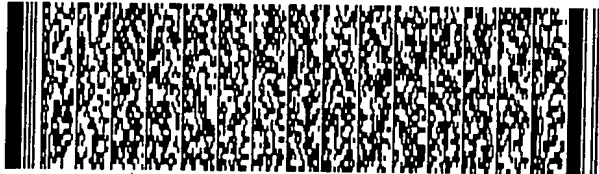
第 24/28 頁



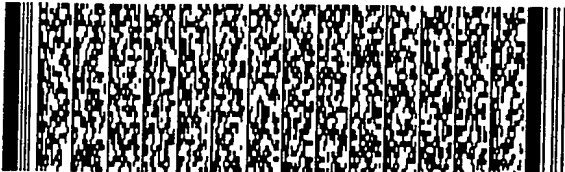
第 25/28 頁



第 26/28 頁



第 27/28 頁



第 28/28 頁

